

利用 DSP 底层结构提高 MPEG-4 编码的实时性

李桂菊

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要: 由于利用 TMS320C6000 系列的 DSP 底层结构可以提高图像压缩的实时性, 本文在 TMS320C6416 平台上针对 DSP 底层结构对 MPEG-4 视频编码进行了优化, 包括对 8 个运算单元能并行执行的特性进行汇编。针对 DSP 芯片两级高速缓存的工作特点, 对编码器中代码和数据所占用的内存空间进行优化。利用 EDMA 级联特性在内存开辟双缓冲区, 同时完成视频数据编码和传输的工作, 从而有效地改善编码效率。实验结果表明: 该编码器可以对 512 pixel × 512 pixel 大小的灰度图像, 以 30 frame/s 帧频进行压缩, 实现了对视频图像的实时编码。

关键词: 视频压缩; 数字信号处理器; 软件优化

中图分类号: TN919.81 **文献标识码:** A

Improvement of real-time properties of MPEG-4 encoder by DSP underlying structure

LI Gui-ju

(*Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy
of Sciences, Changchun 130033, China*)

Abstract: As the real time properties of image compression can be improved by utilizing a DSP underlying structure, this paper optimizes the Mpeg-4 video encoder on a TMS320C6416 platform by the structure mentioned above. Optimizing methods include complying the assembly functions according to the characteristics of eight parallel execution functional units, optimizing the code and data memory space occupied by the encoder according to the features of DSP two-level cache, and adapting two buffers in memory by using the EDMA cascade characteristics to realize video data coding and transmission at the same time, which improves coding efficiency effectively. The experimental results show that the new encoder can realize encoding of gray scale video of 512 pixel × 512 pixel at 30 frame/s in real time.

Key words: video compression; digital signal processor; software optimization

收稿日期: 2011-07-13; 修订日期: 2011-08-23

基金项目: 国家自然科学基金资助项目 (No. 60805045)

1 引言

美国 TI 公司推出的 TMS320C6000 系列数字信号处理器在运算单元、总线结构,片内存储器结构和流水处理等方面都有其独特之处。该系列主要包括 62XX、64XX 和 67XX 3 大类,其中的 64XX 基于特殊的硬件结构和高速处理能力,在通信、精确制导武器和数字图像处理等需要高速运算的应用领域具有强大的优势,已成为实时图像处理系统的首选器件^[1~6]。

DSP 硬件结构的特殊性使其处理能力的提升不仅仅依靠越来越快的时钟速率来实现,更主要依靠开发者对数据流程的合理安排及并行处理结构的充分利用^[7~11]。文献[11]在 TMS320DM642 DSP 平台上实现了 H264 视频编码器,并对二级缓存优化做了深入探讨,但由于 H264 标准是以算法的复杂性换取压缩质量,所以尽管做了大量优化,还只是达到了 QCIF 和 CIF 尺寸的视频基本可以满足视频监控的要求。文献[12]提出了一种支持同时多线程的动态分发超长指令字(VLIW)数字信号处理器(DSP)架构,它虽然能提高处理器的指令吞吐率,但实现调度过于复杂。本文以 MPEG-4 视频序列编码标准^[13]的图像压缩算法为例,论述了利用 DSP 底层结构提高图像处理实时性的一些方法。

2 TMS320C64XX 底层结构特点

TMS320C64XX 系列是面向数字信号处理的定点芯片,该芯片的内部结构是在 TMS320C62XX 基础上加以改进的,其性能特点如下^[14]:

- (1) DSP 内核采用超长指令字(VLIW)体系;
- (2) CPU 内核有两组共 8 个可并行运算的单元,64 个 32 bit 的通用寄存器;
- (3) 支持 8/16/32/64 bit 的数据类型,两个乘法累加单元一个时钟周期可同时执行 4 组 16 bit × 16 bit 乘法或 8 组 8 bit × 8 bit 乘法;
- (4) 采用两级高速缓存结构;
- (5) 64 个通道的 EDMA。

3 利用 DSP 底层结构提高 MPEG-4 编码效率

3.1 合理配置二级缓存加快处理速度

TMS320C64XX 芯片采用了两级高速缓存结构。一级缓存 L_1 cache 包含了数据缓存 L_1D 和程序缓存 L_1P 两部分,而二级缓存 L_2 cache 则是数据、程序共用的,可以通过寄存器配置。 L_2 全部为 SRAM,作为片内存储器,也可配置其中的一部分为 cache。CPU 执行程序时,先访问一级缓存内的程序代码和数据,若代码或数据不在一级缓存内,再访问 L_2 ,若 L_2 中没有所需代码,就要访问外部存储器,由于一级缓存、二级缓存和片外存储器访问速度差异很大,所以合理利用二级缓存结构,可以提高编码器的运行速度。

TMS320C64XX 系列不同芯片的内存容量相差较大,采用不同芯片针对二级缓存的优化方法不同。以 TMS320C6416 为例,片内包括 16 KB 程序 cache (L_1P)、16 KB 数据 cache (L_1D) 和 1 024 KB 的统一程序/数据空间(L_2)。

(1) 针对 L_1 的优化

由 L_1P 的工作原理可知, L_1P 首先一次性读入 512 组连续的代码指令,CPU 发出的 32 位取指地址被解析,以确定在 L_1P 中的地址,然后读入该地址指令送入 CPU 中执行。若 CPU 发出的取指地址不在 L_1P 内,就要清除 L_1P 中的无用代码,重新从 L_2 读入一组连续代码。若程序跳转间隔较大,或循环体内代码过长,都会降低 L_1P 的命中率。 L_1P 的优化就是将连续的运算过程放在一起,减少循环体内的代码长度,尽量用条件语句代替分支转移语句。例如 MPEG-4 每个宏块的编码过程都是 DCT 变换、量化、逆量化和逆 DCT 变换,编码时将 DCT 变换和量化放在一个循环体内,逆量化和逆 DCT 变换放在一个循环体内。这样既可以减少图像的存取次数,又可以避免循环体过长。合并后的代码会一次性映射入 L_1P 内进行宏块运算,减少了 L_1P 读缺失,提高了编码效率。

L_1D 的工作原理与 L_1P 类似,如果 CPU 所需

的数据不全在 L_1D 中,就需要不断地从 L_2 或从外部存储器读入。 L_1D 的优化就是将当前 CPU 所需要读取的有用数据放在一起,而且这些数据应该按照 cache line 大小进行对齐,这样可以使 L_1D cache 的使用效率达到最大。

(2) 针对 L_2 的优化

由于 TMS320C6416 芯片的 L_2 可以配置为片内 SRAM,也可以配置为高速缓存,针对 MPEG-4 编码器,由于其程序代码和所要处理的数据量都较大,不可能将所有的代码和数据都放入片内。要使程序代码在片内外之间传送而不影响程序的执行效率很难实现,而传输数据则可通过优化存储器结构而不影响 CPU 执行时间。所以针对 L_2 的优化优先保障程序代码都放在片内,然后放置每个宏块编码所必需的数据,余下的空间配置为 cache,按此原则,将 L_2 在 SRAM/CACHE 的配置比例设为 960 Kbyte/64 Kbyte。

为了能将使用频率高的代码和数据尽量留在 cache 中,就要将连续的运算过程或连续存取的数据放在一起,对代码结构和数据结构重新组织,这时利用段的设置来指定部分程序和数据的位置是很必要的。TI 的代码产生工具生成的目标文件是以段的形式组织在一起的,这些段包括编译器自动产生的代码段(.text)、全局变量段(.bss)、堆栈段(.stack)等,用户也可以自己定义段,段的地址可由 *.cmd 文件指定。由于 MPEG-4 的初始数据表较多,如 DCT 系数表、可变长编码表等,可用静态数组来定义这些表格,并把这些数组以段的形式安排在固定空间,把可能连续调用的数据放在一起。

为进一步提高 CACHE 命中率,还应尽量减小代码尺寸,不同类型变量在 DSP 内部存放机制不同,char 型是单字节变量,不受位置限制,short 型是双字节变量,以 2 的整数倍为边界存放,int 是 4 字节变量,以 4 的整数倍为边界存放。为此对较大数组考虑能否用 short 型代替 int 型,变量定义时应将同类型变量放在一起,以减小代码尺寸。

3.2 利用 EDMA 可级联特性提高 CPU 效率

TMS320C64XX 的数据存储空间从内到外依次为 CPU 内部寄存器、一级缓存 L_1D 、二级缓存 L_2 、片外存储空间 4 个层次。各层次数据传递流

程如图 1 所示。在 L_2 与外部存储器之间数据传送由 EDMA 完成,而在 CPU 与 L_2 之间可由 CPU 控制存取,而 L_2 内部的数据传送既可由 EDMA 完成,也可由 CPU 完成。

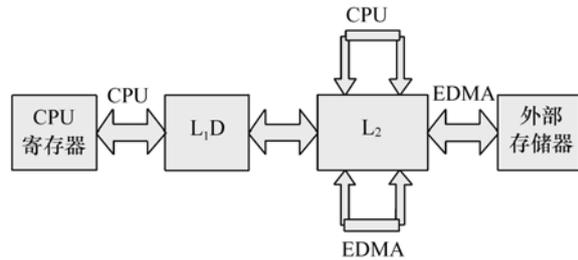


图 1 DSP 存储空间数据传递流程
Fig. 1 Flowchart of DSP data transmission between memories

TMS3206416D 的 EDMA 控制器共有 64 个增强通道,并且可以设置不同通道的优先级。EDMA 控制器用来处理片内 L_2 SRAM 和片内外设以及外部存储空间之间的数据搬移。

针对所设计的压缩平台,外接 SDRAM 经过 FPGA 挂在 DSP 的 EMIF 总线上,SDRAM 的访问方式设置成 FIFO 形式,对给定的起始地址,一次

00,00~00,31	00,32~00,63	00,224~00,255
01,00~01,31	01,32~01,63	01,224~01,255
		
15,00~15,31	15,32~15,63	15,224~15,255
16,00~16,31	16,32~16,63	16,224~16,255
		
255,00~255,31	255,32~255,63	255,224~255,255

(a) 正常存放方式示意图
(a) Scheme of normal storage way

00,00~00,31	01,00~01,31	15,00~15,31
00,32~00,63	01,32~01,63	15,32~15,63
		
00,224~00,255	01,224~01,255	15,224~15,255
16,00~16,31	17,00~17,31	31,00~31,31
		
248,224~248,255	249,224~249,255	255,224~255,255

(b) 按宏块顺序存放方式示意图
(b) Scheme of storage way according to macro block order

图 2 256 pixel × 256 pixel 大小的图像存储方式示意图

Fig. 2 Schematic diagram of storage way for image with size of 256 pixel × 256 pixel

最少存取 64 bit, 每次启动 EDMA 之后只能从给定的存储器首址顺序搬移一段数据。MPEG-4 编码器以宏块为单位进行编码, 每个宏块大小为 $16 \text{ pixel} \times 16 \text{ pixel}$, 这样 EDMA 就很难按宏块存取, 为了在该硬件平台中发挥 EDMA 的作用, 重新安排参考图像的存储结构, 存放格式如图 2 所示, 图 2(a) 为 $256 \text{ pixel} \times 256 \text{ pixel}$ 大小的图像正常存放方式示意图, 图 2(b) 为按宏块顺序存放示意图。存放顺序为第一个宏块的第一行, 第一个宏块的第二行, ..., 第一个宏块的第 16 行, 然后存第二个宏块的第一行, 第二个宏块的第二行, 以此类推。这样参考图像可以按宏块读入, 进行宏块编码时, 在片内开辟乒乓结构的双缓冲区。一个用于接收待编码的数据并输出编码后的重构图像数据, 另一个用于对已接收的数据进行编码, 而数据的传送采用 EDMA 完成。这样, 可以同时完成数据编码和传输工作, 有效地改善编码效率。

编码 I 帧时, 当前图像由于不能按宏块读取, 将图像分成 n 条, 每条 16 行, 即一个宏块的高度, 每条开始时读入该条图像到内存, 编码每个宏块时, 用 EDMA 搬移一个宏块到乒乓缓冲区, 一行所有宏块编码完, 再读下一条 16 行图像。由于不需要运动估计, 所以每个缓冲区只需分配当前图像和重构两个宏块区域。

编码 P 帧时, 当前图像仍然按条读入, 编码每个宏块时, 用 EDMA 搬移一个宏块到乒乓缓冲区。设搜索范围为 $[-15, 16]$, 包括搜索范围内的参考图像大小为 $48 \text{ pixel} \times 48 \text{ pixel}$, 即 9 个宏块。因此每个缓冲区的大小包括: $48 \text{ pixel} \times 48 \text{ pixel}$ 大小的参考图像、 $16 \text{ pixel} \times 16 \text{ pixel}$ 大小的当前图像及 $16 \text{ pixel} \times 16 \text{ pixel}$ 大小的重构图像。由于片内搬移比片外到片内搬移快, 每个宏块编码传输启动 5 个读通道的 EDMA: 1 个通道搬移运算缓冲区参考图像后 32 列 \times 48 行到传送缓冲区参考图像的前 32 列; 3 个通道 EDMA 从外部存储器参考图像区读一个宏块放到内存数据传输区后 16 列; 另一个通道搬移当前图像宏块。每个宏块还启动一个写 EDMA, 将重构图像写到外部存储器中。这 6 个 EDMA 通道级联, 每个宏块编码前设置一次, EDMA 会将所需的图像数据导入数据传输缓存区, 同时, CPU 编码另一个缓

冲区中的数据。由于 CPU 和 EDMA 都要访问数据缓冲区中参考图像区, 设置 CPU 的优先级高于 EDMA。宏块编码结束时两个区域指针交换, 两个缓冲区交替使用来提高 CPU 效率。乒乓缓冲区的操作过程如图 3 所示。

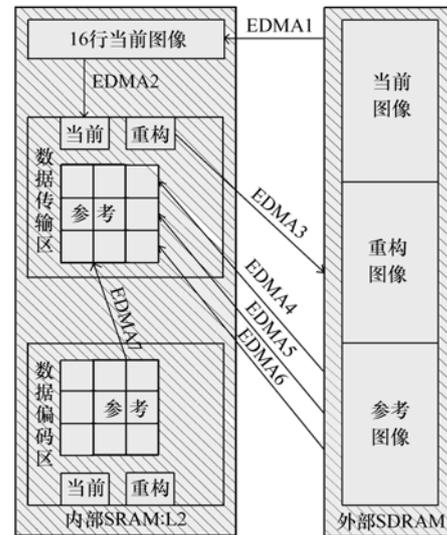


图 3 乒乓操作过程示意图

Fig. 3 Scheme of Ping-Pang operation process

3.3 利用可并行执行的多功能单元提高 CPU 处理能力

直接移植到 DSP 上的 MPEG-4 视频编码器远远不能达到实时的要求, 因此还需要结合 TMS320C64XX 的特点进行优化。程序框架和主函数采用 C 语言编写, 可增加程序的易读性, 一些初值的设置编译器也能自动帮助完成, 既准确又不耗时。而对耗时较多的模块采用汇编优化, 在数据安排上要考虑二级缓存特性。编码的计算量主要集中在运动估计、离散余弦变换、量化、反量化、逆离散余弦变换和可变长编码几个模块, 需要利用汇编语言进行优化, 同时要考虑 DSP 特性。

TMS320C64XX 芯片内核具有超长指令 VLIW 字处理能力。每次读取与 256 bit 程序总线宽度对应的取址包, 即每个取址包有 8 条指令, 分成 1~8 个执行包, 每个执行包是并行执行的指令, 送入相应运算单元。指令以取址、译码和执行的硬件流水线运行。CPU 内部的 8 个运算单元分

为两组,分别为(M_1 、 D_1 、 S_1 、 L_1 和 M_2 、 D_2 、 S_2 、 L_2), 在一个时钟周期内 8 个单元可以同时运行,但 8 个单元所完成的功能不尽相同, M 单元的指令与其它单元不通用,只运行乘法、点积、位计数等指令。除 M 单元指令外,有些指令只能在某一特定的运算单元执行,如跳转指令只能在 S 单元运行,存储器访问指令只能在 D 单元运行等,但也有部分指令在 D, S 和 L 中都能运行。

在用汇编优化程序时,除按一般编写步骤(将 C 源代码翻译成线性汇编代码,确定最小迭代间隔,资源分配,安排模迭代间隔和安排剩余指令)之外,还要考虑运算单元与指令之间的对应关系,改写代码。

下面以几个实例来介绍提高汇编程序效率的技巧。

(a) 修改指令,尽量利用 M 单元

由于 M 单元的特殊性,如果算法不涉及乘法运算,就不能用到 M 单元,这样 8 个可并行工作的运算单元,一次最多能并行执行 6 条指令,处理能力会降低 25%。为提高运算效率,应修改指令,尽量利用 M 单元。例如,计算 4 个 8 位像素和,可改写为点积方式:

```
LDW    .D    * A4 ++ , A6
MVKL   .S    0X01010101 , A5
MVKH   .S    0X01010101 , A5
DOTPU4 .M    A6 , A5 , A7
```

另外,还可用 M 单元作为循环初始条件的判断。例如从存储器读出数据经过计算后,将处理结果存回到存储器帧中,由于读指令的延时间隙不为 0,开始几次循环,结果还没计算出来,此时不应存数据,实现该功能一般是设一个初值为 2 的寄存器,每个循环减 1,当为 0 时,存结果,但这样会增加 DSL 单元的压力。此时可以利用寄存器赋初值为 0XFFF8000,每个循环乘 2(用低 16 位的乘法指令 MPY 实现)为 0 时,存数。

```
MVKL   .S2  0XFFF8000 , B0
MVKH   .S2  0XFFF8000 , B0
[ B0 ]  MPY   .M2  B0 , 2 , B0
[-B0 ]  STW   .D1T1A2 , * A6 ++ [ 2 ]
```

其中前两条指令在进入循环体之前执行。

(b) 访问存储器尽量使用半字或字访问字节

型数据

由于 DSP 单元都是 32 bit 宽,许多指令也支持高低半字或 4 个字节分别操作,当对 8 bit 的短数据或 16 bit 半字进行操作时,可以字为单位同时读取,然后再用内部函数对数据进行运算。即使不能直接使用支持高低半字或 4 个字节的指令,也可用其它指令将字按字节或半字分别存入寄存器组中。这样可以减少访问数据存储区的次数,降低 D 单元的压力,相应地提高程序的运行速度。

(c) 利用 C64 新增加的一个单元同时做 4 个 8 bit 或 2 个 16 bit 算术运算

C64XX 增加了对打包数据的处理^[15],可在一条指令内对 2 个 16 bit 或 4 个 8 bit 的数据进行运算。例如在运动估计中要计算两个块(8×8)的绝对差之和。如下代码一次计算 8 个点。

```
LDNDW  * A4 ++ [ A5 ] , A7 : A6
LDNDW  * B4 ++ [ B2 ] , B7 : B6
SUBABS4 A6 , B6 , A8
||
SUBABS4 B7 , A7 , B8
DOTPU4 A8 , B10 , A9
||
DOTPU4 B8 , B10 , B9
```

从上面几个例子中可以看出,在汇编优化时,通过改写代码,合理利用指令,平衡各单元利用率,可进一步提高 CPU 效率。

4 实验与分析

在 TMS320C6416 硬件平台上对 MPEG-4 视频标准编码器进行移植和优化,DSP 的时钟频率为 800 MHz,输入图像为 512 pixel × 512 pixel 的灰度图像,SDRAM 大小为 32 Mbyte,分成 32 个 1 Mbyte 的块,每块可存一幅图像,分别存储输入图像、参考图像及重构图像,FPGA 有一个精度为 1 μs 的计数器,其值可由软件清零、读入,用以记录每帧的编码时间,并可随码流输出。对图 4 所示的室内景物运动序列进行压缩实验,截取其中的 40 frame,1 个 I frame,39 个 P frame,压缩信噪比为 33.09,输出码率为 1.5 Mbit/s。平均压缩时间为 30.3 ms,没有丢帧现象,可以满足实时编码的要求。

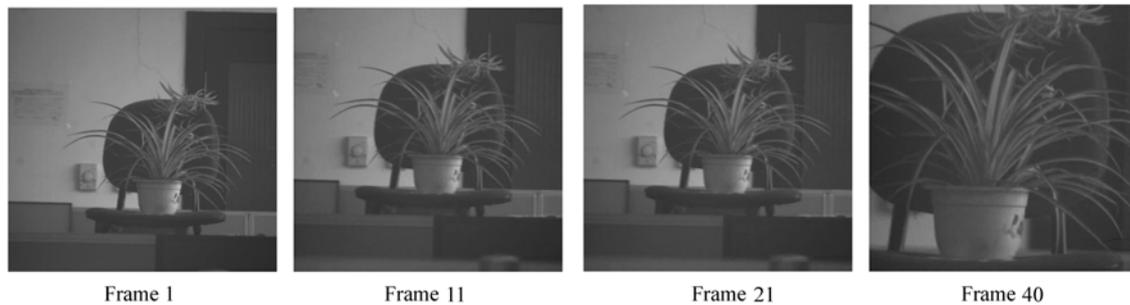


图4 实时采集的图像序列(压缩后图像)

Fig. 4 Real-time images(after compression)

5 结 论

本文在 TMS320C6416 平台上对 MPEG-4 视频编码器进行了优化,包括对 8 个运算单元能并行执行的特性进行汇编优化;根据 DSP 芯片两级高速缓存的工作特点,对编码器中代码和数据所

占用的内存空间进行优化;利用 EDMA 级联特性在内存开辟双缓冲区,同时完成视频数据编码和传输的工作,有效地改善了编码效率,使该平台具有较高的数据吞吐能力和处理速度。实验结果表明:该编码器可以对 $512 \text{ pixel} \times 512 \text{ pixel}$, 30 frame/s 的视频图像进行实时编码,并已应用在实际工程中。

参考文献:

- [1] 许廷发,赵思宏,周生兵,等. DSP 并行系统的并行粒子群优化目标跟踪[J]. 光学精密工程,2009,17(9):2236-2240.
XU T F,ZHAO S H,ZHOU SH B, *et al.*. Particle swarm optimizer tracking based on DSP parallel system[J]. *Opt. Precision Eng.*,2009,19(9):2236-2240. (in Chinese)
- [2] 李玉文,周家锐,沈琳琳. 基于 DM6446 平台的实时人眼检测系统[J]. 深圳大学学报理工版,2009,26(10):420-424.
LI Y W,ZHOU J R,SHEN L L. Real time eye detection system based on DM 6446[J]. *J. Shenzhen University Sci. Eng.*,2009,26(10):420-424. (in Chinese)
- [3] 安博文,潘胜达. 基于 FPGA + DSP 的超分辨率成像系统设计红外技术[J]. 红外技术,2010,32(9):523-526.
AN B W,PAN SH D. Design of super-resolution imaging system based on FPGA + DSP[J]. *Infrared Technol.*,2010,32(9):523-526. (in Chinese)
- [4] 李胜勇,姜涛,朱强华. 红外序列图像中小目标实时检测系统设计与实现[J]. 红外技术,2010,32(8):471-474.
LI SH Y,JIANG T,ZHU Q H. Design and implement a real-time system for small target detection in infrared image sequence[J]. *Infrared Technol.*,2010,32(8):471-474. (in Chinese)
- [5] 杨明极,曾祺. 基于 DSP 的 WAP 实时图像浏览平台的研究[J]. 哈尔滨理工大学学报,2010,15(10):45-48.
YANG M J,ZENG ZH. Research of WAP real-time image browsing platform based on DSP[J]. *J. Harbin University of Science and Technol.*,2010,15(10):45-48. (in Chinese)
- [6] 贾浩,崔慧娟,唐昆. 基于 TMS320DM6437 平台的视频系统设计与实现[J]. 电视技术,2010,34(11):43-47.
JIA H,CUI H J,TANG K. Design and implementation of video system based on TMS320DM 6437 platform[J]. *Video Eng.*,2010,34(11):43-47. (in Chinese)
- [7] 宋立锋,戴青云. 分数像素精度运动估计的 DSP 优化方法[J]. 通信学报,2009,30(6):114-119.
SONG L F,DAI Q Y. Technique of DSP optimization on fractional-pixel-accurate motion estimation[J]. *Communication J.*,2009,30(6):114-119. (in Chinese)

- [8] 赵峰,袁东风,张海霞,等.多 DSP 图像压缩实时并行处理系统[J].光学精密工程,2007,15(9):1451-1455.
ZHAO F, YUAN D F, ZHANG H X, *et al.*. Multi-DSP real-time parallel processing system for image compression[J]. *Opt. Precision Eng.*, 2007, 15(9):1451-1455. (in Chinese)
- [9] 周雅贇,徐元欣,方健,等.基于 TMS320DM642 的 MPEG-4 编码器设计和优化[J].电视技术,2005,29(6):36-38.
ZHOU Y Y, XU Y X, FANG J, *et al.*. Implementation of mpeg-4 video encoder based on TMS320DM642 [J]. *Video Eng.*, 2005, 29(6):36-38. (in Chinese)
- [10] 曾明霞.基于 DSP 的 MPEG-4 视频编码器研究与实现[D].南京:南京理工大学,2007.
ZENG M X. Research and implementation of MPEG-4 video coder based on the the DSP[D]. *Nanjing: Nanjing University Science and Technology*, 2007. (in Chinese)
- [11] 刘刚.H.264 视频编码器在 DSP 上的实现与优化[D].长春:中国科学院长春光学精密机械与物理研究所,2010.
LIU G. Implementation and optimization of H.264 video encoder based on DSP[D]. *Changchun: Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences*, 2010. (in Chinese)
- [12] 沈钰,孙义和.一种支持同时多线程的 VLIW DSP 架构[J].电子学报,2010,38(2):352-358.
SHEN ZH, SUN Y H. Architecture design of simultaneous multithreading VLIW DSP[J]. *Electronic J.*, 2010, 38(2): 352-358. (in Chinese)
- [13] 钟玉琢,王琪,贺玉文.基于对象的多媒体数据压缩编码国际标准—MPEG-4 及其校验模型[M].北京:科学出版社,2000.
ZHONG Y ZH, WANG Q, HE Y W. *Based on Video Object Multimedia Data Compress Encode International Standard-MPEG-4 and Video Verification Model*[M]. Beijing: Science Press, 2000. (in Chinese)
- [14] 李方慧,王飞,何佩琨.TMS320C6000 系列 DSPs 原理与应用[M].2 版.北京:电子工业出版社,2003.
LI F H, WANG F, HE P K. *DSPs Principle and Applying of TMS320C6000*[M]. 2nd ed. Beijing: Electronics Industry Press, 2003. (in Chinese)
- [15] TMS320C64x/c64x+ DSP CPU and Instruction set reference guide[G]. Dallas: Texas Instruments Incorporated, 2005.

作者简介:李桂菊(1964—),女,吉林市人,研究员,主要从事 DSP 开发与应用等方面的研究。

E-mail:lgjciom666@yahoo.com.cn