

## 双抽头 CCD 图像整合优化设计

李洪法<sup>1\*</sup>, 薛旭成<sup>1</sup>, 郭永飞<sup>1</sup>, 朱宏殷<sup>1,2</sup>

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033;

2. 中国科学院 研究生院, 北京 100039)

**摘要:**为了解决双抽头 CCD 输出图像顺序不一致的问题,提出了一种改进的 RAM 软件设计方法,并对其数据进行重新整合。首先,利用 XILINX VIRTEX 系列现场可编程门阵列(FPGA)的内部 Block RAM 构造形成双端口 RAM。其次,利用双抽头 CCD 的第一个抽头数据在整合前后没有变化的特点,改进了传统的乒乓操作方法,实现了对整片 CCD 输出的整合。与传统的图像整合方法相比,该方法对硬件的资源占用率节省了 25%。利用 ModelSim 软件对该方法进行仿真实验,验证了其正确性和有效性。该方法节约了硬件资源,降低了硬件成本,并已成功应用在实际工程项目中。

**关键词:**双抽头 CCD;图像整合;现场可编程门阵列;ModelSim 软件

**中图分类号:**TP391; TN386.5 **文献标识码:**A **doi:**10.3788/CO.20120501.0042

## Optimization design of image conformity for double-tap CCD

LI Hong-fa<sup>1\*</sup>, XUE Xu-cheng<sup>1</sup>, GUO Yong-fei<sup>1</sup>, ZHU Hong-yin<sup>1,2</sup>

(1. *Changchun Institute of Optics, Fine Mechanics and Physics,*  
*Chinese Academy of Sciences, Changchun 130033, China;*

2. *Graduate University of Chinese Academy of Sciences, Beijing 100039, China)*

*\* Corresponding author, E-mail: lihongfa99058@163.com*

**Abstract:** In order to modify the disaccord of output sequency of a double-tap Charge Coupled Device (CCD), an improved design method for software RAM is proposed, and the output of CCD is conformed by this method. Firstly, a dual-port RAM is constructed by using Block RAM of Xilinx Virtex series Field Programmable Gate Array (FPGA). Since the sequence of data from tap1 is the same as that to be conformed before, this paper comes up with an improved method based on the traditional Ping-Pang operation to conform the output data from the CCD. Comparing to the traditional Ping-Pang method, the resource consumption of designed software is greatly reduced by 25%. It is proved to be valid and accurate by the simulation result of ModelSim. The new method which has been applied in the project successfully can save hardware resources and reduce the hardware cost greatly.

**Key words:** double-tap CCD; image conformity; Field Programmable Gate Array (FPGA); ModelSim software

# 1 引 言

随着电子耦合器件(Charge Coupled Device, CCD)在光电成像领域应用范围的扩大,应用系统对 CCD 的功能和性能要求越来越高,CCD 逐渐向大尺寸、小像元、高速度的方向发展。为了适应上述发展要求,许多 CCD 在输出数据时采用了多抽头的结构形式<sup>[1-2]</sup>。这种结构形式的 CCD 输出的图像呈多段式,如果直接使用,则最终的图像将呈条段式,这与实际使用不相符合。另一方面,通常这种结构 CCD 的多个抽头间的数据输出方向相反。因此,实际应用这种 CCD 时,需要对其输出的图像数据进行重新整合。本文提出了一种利用 XILINX VIRTEX 系列现场可编程门阵列(FPGA)的内部 Block RAM 实现多抽头 CCD 图像数据整合的方法。

# 2 基本原理

某系统使用的线阵 CCD 共有 4 096 个像元,采用双抽头输出的工作模式,其图像输出原理示意图如图 1 所示。



图 1 两抽头 CCD 的图像输出示意图  
Fig. 1 Output sketch of double-tap CCD

表 1 CCD 各像元的输出次序

Tab. 1 Pixel sequences of CCD output

输出次序	抽头 1	抽头 2
1	像元 1	像元 4 096
2	像元 2	像元 4 095
3	像元 3	像元 4 094
.....	.....	.....
2 047	像元 2 047	像元 2 050
2 048	像元 2 048	像元 2 049

当 CCD 完成对景物积分后,该行的图像数据从位于 CCD 两侧的抽头 1 和抽头 2 同时输出。每个抽头输出 2 048 个像元的数据。但是抽头 1 输出的图像是正序,而抽头 2 输出的图像是逆序,即抽头 1 依次输出像元 1 ~ 像元 2 048,抽头 2 依次输出像元 4 096 ~ 像元 2 049<sup>[3]</sup>。两个抽头输出的图像像元顺序如表 1 所示。

由于该 CCD 是多抽头输出,其顺序和正常景物的顺序不一致,因此需要对其进行二次整合后再使用<sup>[4]</sup>。整合的要求是按 CCD 的实际像元位置将两个抽头的数据合并为一路输出,即把两个抽头的图像数据合并为一路按像元 1 ~ 像元 4 096 顺序输出图像<sup>[5]</sup>。通常利用乒乓原理对两个抽头的数据进行缓存处理<sup>[6]</sup>,其实现结构如图 2 所示。

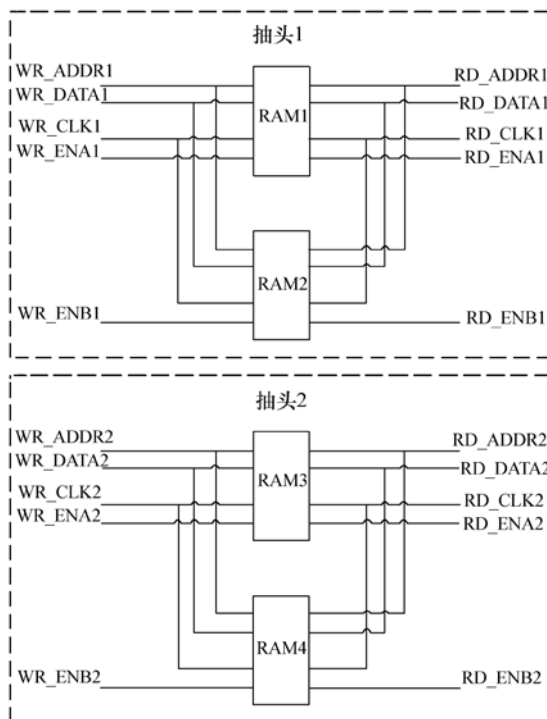


图 2 传统的乒乓操作整合结构

Fig. 2 Conformal structure of traditional Ping-Pang

在图 2 中,RAM1 和 RAM3 分别用于缓存抽头 1 和抽头 2 的第 1 行图像数据,RAM2 和 RAM4 分别用于缓存抽头 1 和抽头 2 的第 2 行图像数据。如果输入的图像数据以 8 bit 进行量化,则对于第 2 小节中的 CCD 而言,RAM1 ~ RAM4 都是

容量为 2 Kbit 的双口 RAM,因此在这种工作结构下,完成图像数据的整合共需要 8 Kbit 的双口 RAM。

图 2 中 RAM 使用的工作原理如下:

(1)在第  $N$  个行周期,将 CCD 的第  $N$  行数据分别缓存进 RAM1 和 RAM3 中;

(2)在第  $N+1$  个行周期,在将 CCD 的第  $N+1$  行数据分别缓存进 RAM2 和 RAM4 中的同时,将之前缓存在 RAM1 和 RAM3 中的第  $N$  行图像数据进行整合输出至输出端口;

(3)在第  $N+2$  个行周期,在将 CCD 的第  $N+2$  行数据分别缓存进 RAM1 和 RAM3 中的同时,将缓存在 RAM2 和 RAM4 中的第  $N+1$  行图像数据进行整合输出至输出端口;

(4)在第 4 个行周期以及后面的行周期中,重复上述步骤 2 和步骤 3 即可,直至停止数据采集。

采用上述方法可以实现对多抽头 CCD 图像数据的整合,但是它的缺点是占用的 RAM 资源量较大,输出有延滞,这在一些对资源要求比较高的系统中是不合适的<sup>[7]</sup>。根据 CCD 两个抽头输出的图像数据的特点,本文对上述 RAM 使用结构进行了改进。

由于抽头 1 的图像数据与抽头 2 同时输入,但在输出时抽头 1 的图像数据比抽头 2 的数据先

输出,且抽头 1 的数据在输入时和输出时没有改变<sup>[8]</sup>,因此可以通过调整工作时序使得采用一片 RAM 即可完成抽头 1 的数据缓存。改进后的 RAM 结构如图 3 所示。

图 3 中,抽头 1 占用了一片容量为 2 Kbit 的 RAM,抽头 2 用了两片容量为 2 Kbit 的 RAM,合计共占用 6 Kbit 大小的 RAM,和改进前相比节省了 25% 的存储空间<sup>[8]</sup>。

抽头 1 数据的像元顺序在输入时和输出时一致,而且输出时先于抽头 2 输出。因此,如果写入速率为  $CLK1X$ ,读出速率为  $CLK2X$ ,则只要在写入端完成一半的图像数据写入后,即可在完成写入数据的同时也完成对抽头 1 数据的读取。为了保证 FPGA 内部对 RAM 操作时有可靠的建立时间和保持时间,对抽头 1 数据完成了 1025 个像元数据存储后再进行读取,详细过程如下:

(1)在第  $N$  个行周期中,在 RAM1 和 RAM3 的写入端,将 CCD 数据以  $CLK1X$  的速率分别缓存进 RAM1 和 RAM3 中;在 RAM1 输出端,在写完第 1 026 个像元的数据后,以  $CLK2X$  的速率将 RAM1 中存储的抽头 1 数据按顺序进行输出。将 RAM1 中的数据读完后,将 RAM3 的数据按规定的顺序进行输出。

(2)在第  $N+1$  个行周期中,在 RAM1 和 RAM4 的写入端,将 CCD 数据以  $CLK1X$  的速率分别缓存进 RAM1 和 RAM4 中;在 RAM1 输出端,在写完第 1 026 个像元的数据后,以  $CLK2X$  的速率将 RAM1 中存储的抽头 1 数据按顺序进行输出。将 RAM1 中的数据读完后,将 RAM4 的数据按规定的顺序进行输出。

(3)在第  $N+2$  个行周期以及后面的行周期中,重复上述步骤 1 和步骤 2 即可。

### 3 仿真实验与结果分析

为了验证改进后的 RAM 结构,采用 XILINX 的 VIRTEX 系列 FPGA 搭建了一个软件平台<sup>[9]</sup>对其进行仿真验证,如图 4 所示。其中自校图形产生模块用来模拟从 CCD 输出的两个抽头的数据,图像整合模块采用第 2 节中介绍的 RAM 结构实现将输入的数据按照指定的顺序重新整合<sup>[10]</sup>,并

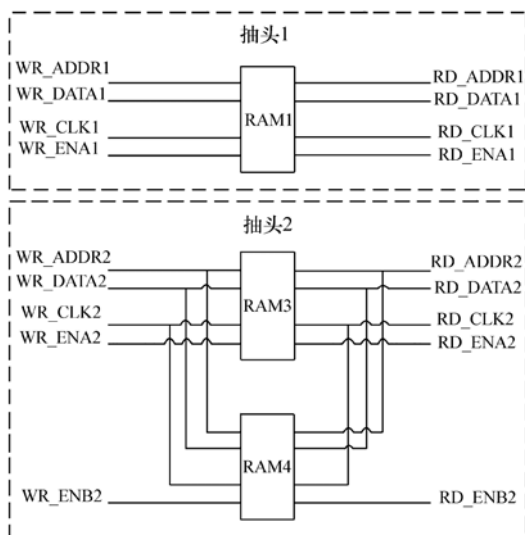


图 3 改进乒乓后的数据整合结构

Fig. 3 Conformal structure of improved Ping-Pang

将整合后的数据输出,由此形成该仿真软件的顶层原理图,如图 5 所示。

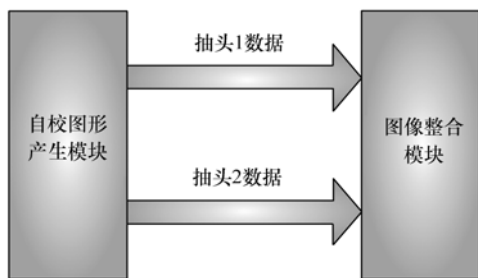


图 4 仿真软件方框图

Fig. 4 Block diagram of simulation software

在图 5 中,自校图形产生模块 zjtx 模拟 CCD 的抽头 1 和抽头 2 的输出图像,两个抽头的图像格式相同。由于系统中所使用的 CCD 共有 4 096 个像元从两个抽头分别输出,因此每个抽头上有 2 048 个像元数据输出。自校图形是数据由 00H

逐渐增加至 FFH 的数据段<sup>[11]</sup>,根据上面的分析可知,每个抽头上这样的数据段共有 8 组,如表 2 所示。

表 2 自校图形模块输出格式

Tab. 2 Output format of self-check image module

抽头1/抽头2		图像数据
第一组	像元1/像元4096	00H
	像元2/像元4095	01H
	.....	.....
	像元256/像元3840	FFH
第二组	像元257/像元3839	00H
	像元258/像元3838	01H
	.....	.....
	像元512/像元3584	FFH
第八组	像元1793/像元2304	00H
	像元1794/像元2303	01H
	.....	.....
	像元2048/像元2049	FFH

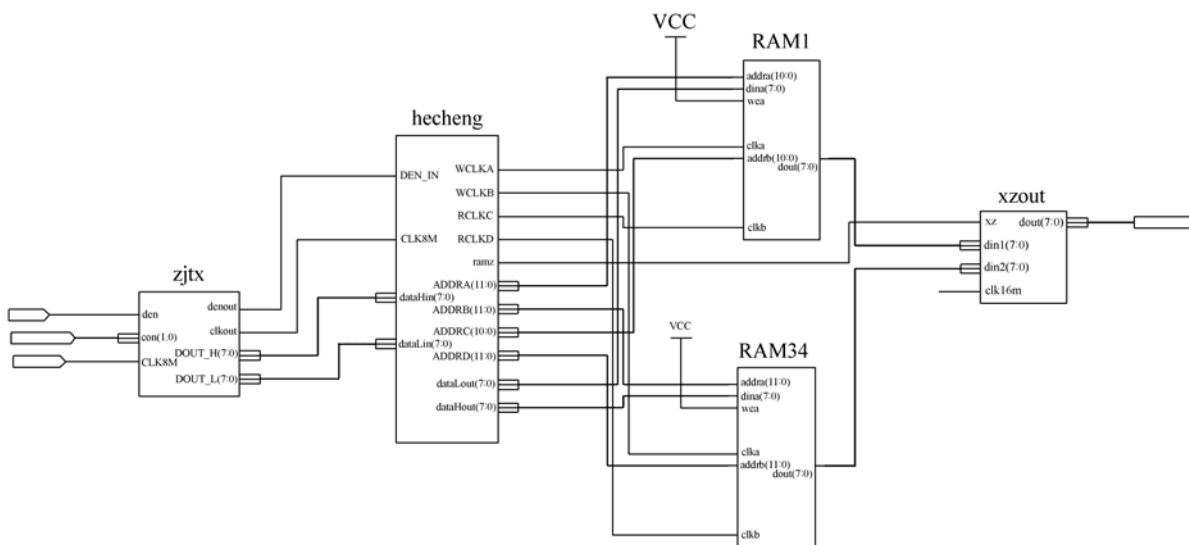


图 5 图像整合的顶层原理图

Fig. 5 Top scheme of image conformity

图像整合模块由 RAM1, RAM34, hecheng 和 xzout 等子模块构成。由于图 3 中的 WR\_ENA2 和 WR\_ENB2 互相对立,即当 WR\_ENA2 有效时,WR\_ENB2 无效;当 WR\_ENA2 无效时,WR\_ENB2 有效。因此可以将这两个信号作为 RAM 的写地址线使用,即可以将图 3 中的 RAM3 和 RAM4 两

片 RAM 更新为图 5 中的一片 RAM—RAM34。这样,自校图形模块产生的两抽头数据在 hecheng 子模块的控制下,在 RAM1 和 RAM34 两片 RAM 之间可进行乒乓存储和读取。最后,通过 xzout 子模块输出整合后形成的有序图像流。

在上述输入图像数据格式下,利用 ModelSim

软件对上述模块进行了仿真。仿真结果如图 6 所示。将其进行局部放大后,如图 7~图 9 所示,分



图 6 ModelSim 仿真结果

Fig. 6 Simulation result of ModelSim

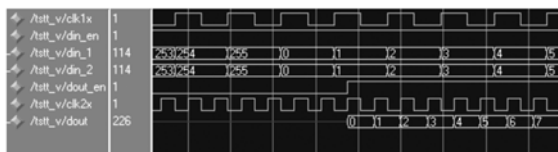


图 7 整合后行头数据(局部)

Fig. 7 Conformed data at the beginning of line

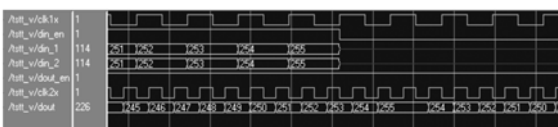


图 8 整合后抽头接缝处数据(局部)

Fig. 8 Conformed data at the join of two taps

别是整合后行首、抽头接缝以及行尾处的局部放大图。从图中可以看出,输出图像实现了对输入的两抽头数据按照 CCD 像元 1~4 096 的顺序重新整合,完成了工作目标。

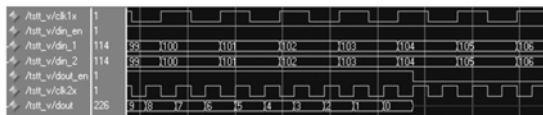


图 9 整合后行尾数据(局部)

Fig. 9 Conformed data at the end of line

## 4 结 论

针对硬件资源占用率要求较高的 CCD 图像数据采集系统,提出了一种基于 XILINX VIRTEX 系列 FPGA 的内部 BLOCK RAM,利用改进的 RAM 结构实现了对双抽头 CCD 输出图像数据的整合。与传统的乒乓操作方法相比,该方法可以节省 25% 的 RAM 资源占用,大大降低了软件对系统硬件资源的要求,有利于实现系统的集成化、小型化和轻量化,也有利于降低系统的成本。该方法在实际的工程中得到了成功应用,从运行结果看,该方法是有效和准确的。

## 参考文献:

- [1] 胡琳. CCD 图像传感器的现状及未来发展[J]. 电子科技,2010,23(6):82-85.  
HU L. Current situations and future developments of CCD image sensors[J]. *Electronic Sci. & Technology*,2010,23(6):82-85. (in Chinese)
- [2] HIDESHI A. Device technologies for high quality and smaller pixel in CCD and CMOS image sensors[C]//Proceeding of the Technical Digest International Electron Devices Meeting,2004:989-912.
- [3] THEUWISSEN A J P. The hole role in solid-state imagers[J]. *IEEE T. Electron Devices*,2006,53(12):2972-2980.
- [4] 王明富,杨世洪,吴钦章. 大面阵 CCD 图像实时显示系统的设计[J]. 光学 精密工程,2010,18(9):2053-2059.  
WANG M F, YANG SH H, WU Q ZH. Design of large-array CCD real-time display system[J]. *Opt. Precision Eng.*, 2009,17(8):2053-2059. (in Chinese)
- [5] 徐欣,于红旗,易凡,等. 基于 FPGA 的嵌入式系统设计[M]. 北京:机械工业出版社,2004.  
XU X, YU H Q, YI F, et al. *Embedded System Design Based on FPGA*[M]. Beijing:China Machine Press,2004. (in Chinese)
- [6] 周贤波,冯龙龄. 基于 DSP 和 FPGA 图像采集技术的研究[J]. 光学技术,2006,32(增):141-143.  
ZHOU X B, FENG L L. A study on image acquisition technology based on DSP and FPGA[J]. *Opt. Technique*,2006,32(S):141-143. (in Chinese)
- [7] 梁冰,易茂祥,颜天信. 高性能线性 CCD 开发平台的研制[J]. 合肥工业大学学报(自然科学版),2010,33(10):1579-1581.

- LIANG B, YI M X, YAN T X. Design of high-performance linear CCD development platform[J]. *J. Hefei University Technol.*, 2010, 33(10):1579-1581. (in Chinese)
- [8] DUAN J H, DENG Y L, LANG K. Development of image processing system based on DSP and FPGA[C], ICEMI'07. 8th Int Conf on Electronic Measurement and Instruments, Aug 16-18 2007, Xi'an, China, 2007:2791-2794.
- [9] ZHANG F. A high-speed method of CCD image data storage system[J]. *IEEE Advanced Computer Control*, 2010, 2(6):45-48.
- [10] ZHAO Y F, WANG Q Y. Digital image storage system based on 1M60 digital CCD[J]. *Electronics & Control*, 2007, 14(5):179-183.
- [11] 王文华, 何斌, 任建岳. 线阵 CCD 成像系统自校图形设计[J]. *光学精密工程*, 2009, 17(8):2011-2016.
- WANG W H, HE B, REN J Y. Design of self-check figures in linear CCD imaging system[J]. *Opt. Precision Eng.*, 2009, 17(8):2011-2016. (in Chinese)

作者简介:李洪法(1979—),男,山东莱州人,硕士,助理研究员,主要从事 CCD 成像技术方面的研究。

E-mail:lihongfa99058@163.com

---

## 《光学精密工程》(月刊)

- 中国光学开拓者之一王大珩院士亲自创办的新中国历史最悠久的光学期刊
- 现任主编为国家级有突出贡献的青年科学家曹健林博士
- Benjamin J Eggleton, John Love 等国际著名光学专家为本刊国际编委

《光学精密工程》主要栏目有现代应用光学(空间光学、纤维光学、信息光学、薄膜光学、光电技术及器件、光学工艺及设备、光电跟踪与测量、激光技术及设备);微纳技术与精密机械(纳米光学、精密机械);信息科学(图像处理、计算机应用与软件工程)等。

- \* 美国工程索引 EI 核心期刊
- \* 中国精品科技期刊
- \* 中文核心期刊
- \* 百种中国杰出学术期刊

主管单位:中国科学院

主办单位:中国科学院长春光学精密机械与物理研究所

中国仪器仪表学会

地址:长春市东南湖大路 3888 号

邮编:130033

电话:0431-86176855

传真:0431-84613409

电邮:gxjmgc@sina.com

网址:http://www.eope.net

定价:50.00 元/册